

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01353879 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: 59-065479 [JP 59065479 A]

PUBLISHED: April 13, 1984 (19840413)

INVENTOR(s): NOGUCHI KESAO

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 57-175007 [JP 82175007]

FILED: October 05, 1982 (19821005)

INTL CLASS: [3] H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 259, Vol. 08, No. 173, Pg. 21, August
09, 1984 (19840809)

ABSTRACT

PURPOSE: To reduce ill effect resulting from grain boundaries in a polycrystalline Si thin film by a method wherein a specified amount of hydrogen is caused to be absorbed in an active layer, composed of polycrystalline Si thin film, located between a source and drain electrodes in a co-planar type thin film transistor.

CONSTITUTION: Hydrogen not less than 1% is introduced into an active layer of polycrystalline Si thin film located between a source and drain electrodes in a co-planar type thin film transistor using the polycrystalline Si thin film mounted on an insulating substrate. For the construction of such a thin film transistor (TFT), Si is deposited by evaporation upon a quartz substrate 21 and the polycrystalline Si thin film is processed for about an hour in H plasma for the formation of the polycrystalline Si thin film 22 containing hydrogen atoms 23. After this, a specimen is taken out of the furnace according to a prescribed procedure, which is followed by known processes necessary for the completion of the device.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

003985000

WPI Acc No: 1984-130544/198421

Thin film transistor - has active layer of multi-crystal silicon hydrogen

NoAbstract Dwg 2/2

Patent Assignee: NIPPON ELECTRIC CO (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------|------|----------|-------------|------|----------|----------|
| JP 59065479 | A | 19840413 | JP 82175007 | A | 19821005 | 198421 B |

Priority Applications (No Type Date): JP 82175007 A 19821005

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|-----------|------|--------|----------|--------------|
|-----------|------|--------|----------|--------------|

| | | | | |
|-------------|---|----|--|--|
| JP 59065479 | A | 11 | | |
|-------------|---|----|--|--|

Title Terms: THIN; FILM; TRANSISTOR; ACTIVE; LAYER; MULTI; CRYSTAL; SILICON
; HYDROGEN; NOABSTRACT

Derwent Class: L03; U11; U12; U14

International Patent Class (Additional): H01L-029/78

File Segment: CPI; EPI

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—65479

⑬ Int. Cl.³
H 01 L 29/78

識別記号

庁内整理番号
7377—5F

⑭ 公開 昭和59年(1984)4月13日

発明の数 2
審査請求 未請求

(全 4 頁)

⑮ 薄膜トランジスタとその製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭57—175007
⑰ 出 願 昭57(1982)10月5日
⑱ 発 明 者 野口今朝男

⑲ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内原晋

明 細 書

発明の名称

薄膜トランジスタとその製造方法

特許請求の範囲

- (1) 絶縁性基板上の多結晶シリコン薄膜を用いたコプレーナ構造の薄膜トランジスタにおいて少なくとも、ソース電極およびドレイン電極間の前記多結晶シリコン薄膜からなる能動層に1μm以上の水素を含ませてなることを特徴とする薄膜トランジスタ。
- (2) 絶縁性基板上の多結晶シリコン薄膜を用いたコプレーナ構造の薄膜トランジスタの製造方法において、絶縁性基板上に設けた多結晶シリコン薄膜を200～400℃の温度で水素プラズマ処理せしめる工程を含むことを特徴とする薄膜トランジスタの製造方法。

発明の詳細な説明

本発明は薄膜トランジスタ(以下TFETと略称する)とその製造方法に関する。

米国ワイマー(Weimer)氏によって提唱されたTFET(特公昭41—8172)は蒸着操作のみで製作できることを特徴としている。さらに現在では、プラズマ応用プロセスの向上により、プラズマ中で薄膜を形成する方法が用いられるようになった。TFETに設けられる半導体薄膜はシリコン、ゲルマニウムを始め、金属酸化物及びIII族化合物半導体など多種類知られている。これらの半導体薄膜は最近非晶質が用いられ、中でも取扱い易いシリコンが注目されている。又、TFETに用いる半導体薄膜としてはキャリア移動度が高いことが望ましいので、非晶質シリコンをレーザー光で融着し、多結晶化する場合がある。しかし、プロセスが複雑になるばかりでなく、高価な装置を必要とする。又多結晶シリコン薄膜をTFETに用いただけでは、その特性は不十分なものである。その原因は、多結晶シリコン薄膜の結晶粒径は一般に非常に小さいことにあり、結晶粒界による多

数の欠陥のためキャリアの移動度の向上は僅かであるからである。

本発明の目的は多結晶シリコン薄膜の粒界による悪影響はできるかぎり低減されせしめた新規な薄膜トランジスタとその製造方法を提供することにある。

ところで、多結晶シリコンウェハ基板を水素プラズマ処理すると多結晶粒界の再結合因子を減少できるという報告 (Appl. phys. Lett. Vol. 36, No 10 May 1980: C. H. Seager et al) がなされている。そこでわれわれは、このような水素プラズマ処理によりTFTのごとく絶縁性基板上に設けられた多結晶シリコン薄膜でも特性向上を計れるかどうか詳細な検討を行った。その結果、絶縁性基板であってもその上に半導体もしくは金属膜が設けられている場合、処理表面に電荷が蓄積してしまい効果が上らないとか逆電荷によるトラブルを起こすことが無いことを見出した。したがって、絶縁性基板上の多結晶シリコン薄膜のキャリア移動度などの電気的特性を

向上することができ、前述の問題を解決できるとが分った。さて、TFTにおいてキャリアが移動する活性な層は半導体薄膜の絶縁薄膜が設けられた主表面側より約2000Å前後である。

したがって、能動な層の厚さ程度の厚さが水素化されていれば良いことが分り、過剰な処理はかえって性能低下をもたらすことなども分った。

本発明によれば絶縁性基板上の多結晶シリコン薄膜を用いたコプレーナ構造の薄膜トランジスタにおいて少なくとも、ソース電極およびドレイン電極間の前記多結晶シリコン薄膜からなる能動層に1μm以上の水素を含ませてなることを特徴とする薄膜トランジスタが得られ、さらに絶縁性基板上の多結晶シリコン薄膜を用いたコプレーナ構造の薄膜トランジスタの製造方法において、絶縁性基板上に設けた多結晶シリコン薄膜を200~400℃の温度で水素プラズマ処理せしめる工程を含むことを特徴とする薄膜トランジスタの製造方法が得られる。

前記本発明はプロセスを複雑化することなく、

又、高価な装置を必要とせず、簡単な構成のプラズマ装置で高性能なTFTが製造できる。

以下本発明の実施例について図面を用いて詳細に説明する。

実施例 1.

第1図は本発明のTFTの一実施例を示す。図において絶縁性基板11には1.6mm厚の石英ガラスが用いられた。該ガラス基板上に設けられた1.0μm厚の多結晶シリコン薄膜12は、能動層17となる主表面側の能動層となる3000Åの純度が4μm程度の水素を含む。該多結晶シリコン薄膜上にはソース電極及びドレイン電極14が所望のパターンで2000Åの厚さに設けられた。

前記電極及び前記多結晶シリコン薄膜上に設ける絶縁膜として酸化シリコン薄膜15が3000Åの厚さに設けられた。酸化シリコン膜上にソース、ドレイン電極間の位置に1.5μmの厚さにゲート電極16が所望のパターンに設けられた。

石英ガラスは多結晶シリコン薄膜を形成するときの耐熱性基板として用いられた。多結晶シリコン薄膜は厚さが増すほど結晶粒径が大きくなるこ

とが認められたがTFTのオフ抵抗の低下や形成時間が長時間となることなどから好ましくない。したがって本実施例では1.0μmの厚さとした。TFTにおいて能動層として働くのは1.0μmのうち絶縁ゲート側の約2000Å前後である。又、前記多結晶シリコン薄膜の結晶粒径は平均約0.9μm程度であった。多結晶シリコン薄膜の水素化は水素プラズマ処理が用いられた。結晶粒の側所では水素の含有量は少なく浸入深さも浅いものであったが、結晶粒界の側所では浸入深さが容易に数千Åに達し、その含有量は数十μmにも達することが分った。水素の浸入深さ、浸入量はイオンボンバードを行えば増加することが認められたがTFTの動作特性は逆に低下することが認められた。したがって、能動層として働く厚さ程度に平均1μm以上の水素を浸入させた多結晶シリコン薄膜を用いることが好ましいことが判明した。上記TFTでは従来の多結晶シリコンTFTの実効正孔移動度が2~3cm²/V・secであったのに比較し30~50cm²/V・secに改善された。

実施例 2.

本発明のTFTを製造するための簡便な方法が採用できる。

第2図を用いてプロセスを追って説明する。多結晶シリコン薄膜を形成するために高周波放電機構を有する電子銃蒸着装置が用いられた。かかる装置は既成の電子銃蒸着装置に高周波コイル及び電源を付加した装置あるいは、既成のイオンプレーティング装置などが用いられる。工程(1)において所定の洗浄が施された石英基板21は金属板でマスクされ前述の蒸着装置に装填された。該装置内は 10^{-7} Torr以上の高真空に排気され、基板温度は800℃に保たれた。電子銃によって周知の方法によりシリコンが蒸着された。

多結晶シリコン薄膜22を得るための好ましい基板温度は700~900℃であった。多結晶シリコン薄膜形成後、本発明の方法の特徴である工程が工程(1)に引き続き工程(2)として採用された。水素ガスが装置内に導入され、 10^{-2} Torr以下の低真空に保ち、基板温度は350℃に下げられて保たれた。多結晶シリコン薄膜の水素化に有効な蒸

板温度は200~400℃であった。一般的な高周波放電機構より周知の方法により放電が開始され、水素プラズマが生成された。

水素プラズマ中約1時間多結晶シリコン薄膜が処理された。しかし、水素原子23の注入された多結晶シリコン薄膜22が得られた。しかる後所定の手続きを経て試料が装置より取り出された。この後工程(3)~(5)の周知の工程が施された。工程(3)ではソース、ドレイン電極となる金属240が蒸着され、工程(4)において、該電極にパターン24が形成され、工程(5)において、絶縁膜25が形成され、工程(6)において、ゲート電極の蒸着およびパターン26が形成されてTFTが作成された。このTFTの能動層(チャンネル)27は水素化されている。

上述の工程では多結晶シリコン薄膜形成と同一装置内で多結晶シリコンの水素化が行なわれ、かつ基板温度の降下過程に行うことができるため非常に能率的である。

実施例 3.

本発明のTFTを製造するための他の簡便な方法が採用された。

一般的なTFTの製造工程とほとんど同様な工程を経て作成される。ただし新たに多結晶シリコン薄膜の水素化のためのプロセスが付加される。かかる付加プロセスはゲート絶縁膜の形成過程において導入された。多結晶シリコン薄膜上にソース・ドレイン電極がパターン形成された試料が絶縁薄膜形成のためにプラズマ化学気相堆積(CVD)装置内に所定の洗浄などを経て装填された。

一般に絶縁薄膜として用いられる材料としては酸化シリコン膜もしくは窒化シリコン膜であり、その目的には必要でないが、水素ガスの導入系が設けられているプラズマCVD装置が用いられた。水素ガスは水素プラズマ処理を行うために必要であり、単に水素ガス系の増設によって簡単に多結晶シリコン薄膜の水素化を行なうことができる。絶縁膜を堆積させるに先だち、水素ガスのみをプラズマCVD装置内に導入し、放電を起す。かかる水素プラズマ中で約30分間処理された。し

かる後水素ガスを排気し、シラン、アンモニア、窒素ガスが導入されて窒化シリコンが0.2μmの厚さに堆積された。しかる後所定の手続きを経て試料がプラズマCVD装置内より取り出された。この後に続くゲート電極の形成などは周知の方法により行われた。上述の工程では絶縁薄膜形成と同一装置内で多結晶シリコン薄膜の水素化が行なわれるため、水素化を行う工程のために新たに必要時間は実質的な水素プラズマ処理時間のみでよく非常に能率的である。

以上実施例により説明したごとく、多結晶シリコン薄膜をTFTの能動層(チャンネル)の厚さ程度水素化する効果は晶粒度を著しく向上させる。かかる多結晶シリコン薄膜の水素化を多結晶シリコン薄膜形成装置内で行うことや、絶縁薄膜形成装置内で行うことは極めて能率的であり、これらは工業的に有用である。

図面の簡単な説明

第1図は本発明のTFTの一実施例、第2図(1)

～(師)は本発明のTFTの製造方法を工程順に説明するための図である。

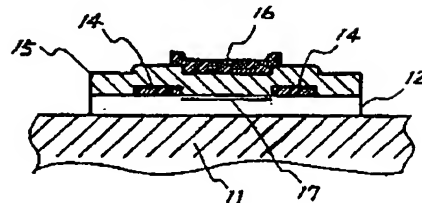
第1図において、11は石英ガラス基板、12は能動層が水素化された多結晶シリコン薄膜、14はソース又はドレイン電極、15は窒化シリコン薄膜、16はゲート電極、17はTFTの能動層である。

第2図において、(I)は多結晶シリコン薄膜を形成する工程、(II)は多結晶シリコン薄膜を水素化する工程、(III)は電極金属を設ける工程、(IV)はソース・ドレイン電極を設ける工程、(V)は窒化シリコンなどの絶縁薄膜を形成する工程、(VI)はゲート電極を設ける工程を示し、21は石英ガラス基板、22は多結晶シリコン薄膜、23は導入された水素原子、24はソース・ドレイン電極、25は窒化シリコン薄膜、26はゲート電極、27はTFTの能動層である。

代理人 弁理士 内原 晋



第1図



第2図

